

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-222887
 (43)Date of publication of application : 17.08.2001

(51)Int.Cl.	G11C 11/407 G11C 11/403 H03L 7/00
-------------	---

(21)Application number : 2000-390975	(71)Applicant : HYNIX SEMICONDUCTOR INC
(22)Date of filing : 22.12.2000	(72)Inventor : CHO KORAI KIN SHUNKO

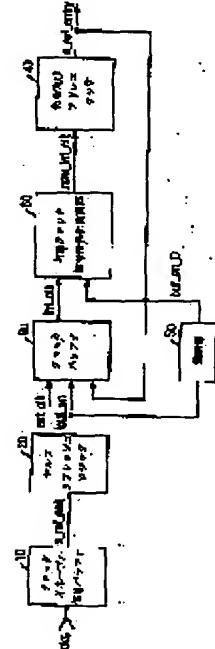
(30)Priority				
Priority number :	1999 9960931	Priority date :	23.12.1999	Priority country : KR

(54) SELF-REFRESH CONTROL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a self-refresh control device by which circuit operation is stabilized by matching the setup time and hold time of a clock buffer output signal with each other, thereby preventing the occurrence of failure in ending a self-refresh operation.

SOLUTION: This device comprises a first buffering means 10 for generating a self-refresh ending control signal, a self-refresh logic means 20 for controlling the activation of a clock buffer enable control signal, a second buffering means 30 for comparing the potential of an external input clock signal with a reference potential signal and generating an internal clock signal, a delay means 50 for delaying the clock buffer enable control signal, an internal clock signal activation control means 60 for controlling the activation of the internal clock signal, and a latch means 40 for latching a signal obtained by buffering instruction and address synchronously with the external clock signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-222887

(P2001-222887A)

(43)公開日 平成13年8月17日 (2001.8.17)

(51)Int.Cl.⁷
G 1 1 C 11/407
11/403
H 0 3 L 7/00

識別記号

F I
H 0 3 L 7/00
G 1 1 C 11/34

テマコード(参考)

B

3 5 4 C
3 6 3 M

審査請求 未請求 請求項の数3 O.L (全 6 頁)

(21)出願番号 特願2000-390975(P2000-390975)
(22)出願日 平成12年12月22日 (2000.12.22)
(31)優先権主張番号 1999/P 60931
(32)優先日 平成11年12月23日 (1999.12.23)
(33)優先権主張国 韓国 (KR)

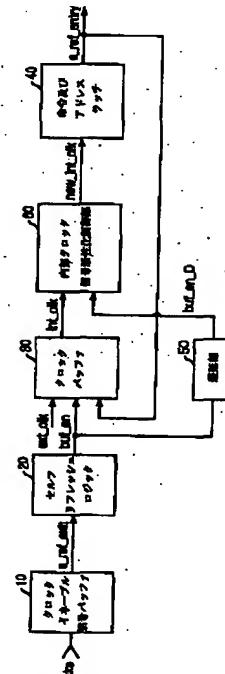
(71)出願人 591024111
株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
-1
(72)発明者 趙光來
大韓民国 京畿道 利川市 夫鉢邑 牙美
里山 136-1
(72)発明者 金峻虎
大韓民国 京畿道 利川市 夫鉢邑 牙美
里山 136-1
(74)代理人 100093399
弁理士 濱谷徹 (外1名)

(54)【発明の名称】セルフリフレッシュ制御装置

(57)【要約】

【課題】クロックバッファ出力信号のセットアップ時間及びホールド時間を合せてセルフリフレッシュ終了時のフェイル発生を防止して回路動作を安定化させたセルフリフレッシュ制御装置を提供する。

【解決手段】セルフリフレッシュ終了制御信号を発生させる第1バッファリング手段10と、クロックバッファイネーブル制御信号の活性化を制御するセルフリフレッシュ論理手段20と、外部入力クロック信号の電位を基準電位信号と比較し、内部クロック信号を発生させる第2バッファリング手段30と、前記クロックバッファイネーブル制御信号を遅延させる遅延手段50と、前記内部クロック信号の活性化を制御する内部クロック信号活性化制御手段60と、命令及びアドレスがバッファリングされた信号を前記外部クロック信号に同期してラッピング手段40とからなる。



【特許請求の範囲】

【請求項1】 外部から入力されるクロックイネーブル信号をバッファリングしてセルフリフレッシュ終了制御信号を発生させる第1バッファリング手段と、前記セルフリフレッシュ終了制御信号の状態に応じてセルフリフレッシュ動作を行ってクロックバッファイネーブル制御信号の活性化を制御するセルフリフレッシュ論理手段と、前記クロックバッファイネーブル制御信号を伝達して外部入力クロック信号の電位を基準電位信号と比較し、内部クロック信号を発生させる第2バッファリング手段と、前記クロックバッファイネーブル制御信号を所定時間の間遅延させて伝達する遅延手段と、前記遅延手段を経て伝達されたクロックバッファイネーブル制御信号と前記内部クロック信号の制御下で発生した制御信号を前記内部クロック信号と論理的に組み合わせて前記内部クロック信号の活性化を制御する内部クロック信号活性化制御手段と、前記内部クロック信号活性化制御手段を経て活性化タイミングを調節して伝達された内部クロック信号により命令及びアドレスがバッファリングされた信号を前記外部クロック信号に同期してラッチさせるラッチ手段とからなることを特徴とするセルフリフレッシュ制御装置。

【請求項2】 前記遅延手段は、前記クロックバッファイネーブル制御信号が前記第2バッファリング手段から発生する内部クロック信号より遅れて活性化させるために必要な遅延時間を形成する単純インバータチェーン構造から構成されることを特徴とする請求項1に記載のセルフリフレッシュ制御装置。

【請求項3】 前記内部クロック信号活性化制御手段は、電源電圧印加端と前記制御信号出力端との間に直列接続され、各々のゲート端に前記遅延手段を経て伝達されたクロックバッファイネーブル制御信号と前記内部クロック信号とが印加される第1及び第2PMOSトランジスタと、前記制御信号出力端と接地端との間に接続され、前記遅延手段を経て伝達されたクロックバッファイネーブル制御信号がゲート端に印加されるNMOSトランジスタと、前記内部クロック信号と前記制御信号とを論理積する第1論理素子と、前記第1論理素子の出力信号を反転遅延させて伝達する遅延素子と、前記第1論理素子の出力信号及び前記遅延素子の出力信号を論理積する第2論理素子とを備えることを特徴とする請求項1に記載のセルフリフレッシュ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ装置に用いられるセルフリフレッシュ制御装置に関し、特に、外部クロック信号に同期した信号及び非同期した信号間のタイミング調節により命令及びアドレスバッファから出力される信号のセットアップ時間及びホールド時間を合せてセルフリフレッシュ終了時のフェイル(fail)発生を防止して回路動作を安定化させるようにしたセルフリフレッシュ制御装置に関する。

【0002】

【従来の技術】一般に、セルフリフレッシュ(self-refresh)とは、DRAM(dynamic random access memory)などの半導体メモリ装置が待機状態でメモリーセル内に格納されたデータを保持するために一定周期で内部的にリフレッシュ動作を行うことをいう。

【0003】ところが、セルフリフレッシュの終了制御時、外部クロック信号に同期して発生する信号と非同期して発生する信号との間のタイミング調節が難しく問題が発生する。これは、多様な周波数を合せる場合、適切な遅延が必要なことによりさらに深刻化する。

【0004】図1は、従来のセルフリフレッシュ制御装置を示すブロック図である。

【0005】図1に示すように、従来のセルフリフレッシュ制御装置は、外部から入力されるクロックイネーブル信号ckeをバッファリングしてセルフリフレッシュ終了制御信号s_refresh_exitを発生させるクロックイネーブル信号バッファ10と、クロックイネーブル信号バッファ10から伝達されたセルフリフレッシュ終了制御信号s_refresh_exitの状態に応じてセルフリフレッシュ動作を行ってクロックバッファイネーブル制御信号buf_enの活性化を制御するセルフリフレッシュロジック20と、クロックバッファイネーブル制御信号buf_enを伝達して外部入力クロック信号exit_ckの電位を基準電位信号と比較し内部クロック信号int_ckを発生させるクロックバッファ30と、内部クロック信号により命令及びアドレスがバッファリングされた信号を外部入力クロック信号exit_ckに同期してラッチさせる命令及びアドレスラッチャ40とから構成される。

【0006】図2は、図1に示したセルフリフレッシュ制御装置の動作タイミング図を示す。クロックイネーブル信号ckeの制御下で発生するクロックバッファイネーブル制御信号buf_enは、外部入力クロック信号exit_ckに非同期して発生する信号である。

【0007】したがって、クロックバッファ30の活性化時外部入力クロック信号exit_ckがロジックハイである場合、内部クロック信号int_ckが遅れて発生することが分かる。

【0008】しかし、セルフリフレッシュ制御装置は、内部クロック信号int_ckを用いて前記命令及び

アドレスラッチ40で命令及びアドレスバッファ（図示せず）の出力信号を外部入力クロック信号 ext_c1k に同期してラッチする。また、命令及びアドレスバッファの出力信号は、セットアップ時間とホールド時間を合せて外部から入力されて調節される。

【0009】その結果、上述したように、内部クロック信号 int_c1k が遅れて活性化される現象が発生すれば、命令信号及びアドレスバッファから出力される信号のセットアップ時間及びホールド時間が合わなくなるなり誤動作を誘発し、回路全体動作の安定性を阻害するという問題点が発生する。

【0010】

【発明が解決しようとする課題】本発明は、前記した問題点を解決するために案出されたものである。本発明の目的は、外部クロック信号に同期して発生する信号及び非同期して発生する信号間のタイミング調節によりクロックバッファ出力信号のセットアップ時間及びホールド時間を合せてセルフリフレッシュ終了時のフェイル発生を防止して回路動作を安定化させたセルフリフレッシュ制御装置を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明は、外部から入力されるクロックイネーブル信号をバッファリングしてセルフリフレッシュ終了制御信号を発生させる第1バッファリング手段と、前記セルフリフレッシュ終了制御信号の状態に応じてセルフリフレッシュ動作を行ってクロックバッファイネーブル制御信号の活性化を制御するセルフリフレッシュ論理手段と、前記クロックバッファイネーブル制御信号を伝達して外部入力クロック信号の電位を基準電位信号と比較し、内部クロック信号を発生させる第2バッファリング手段と、前記クロックバッファイネーブル制御信号を所定時間の間遅延させて伝達する遅延手段と、前記遅延手段を経て伝達されたクロックバッファイネーブル制御信号と前記内部クロック信号の制御下で発生した制御信号を前記内部クロック信号と論理的に組み合わせて前記内部クロック信号の活性化を制御する内部クロック信号活性化制御手段と、前記内部クロック信号活性化制御手段を経て活性化タイミングを調節して伝達された内部クロック信号により命令及びアドレスがバッファリングされた信号を前記外部クロック信号に同期してラッチさせるラッチ手段とかなることを特徴とする。

【0012】また、前記遅延手段は、前記クロックバッファイネーブル制御信号が前記第2バッファリング手段から発生する内部クロック信号より遅れて活性化させるために必要な遅延時間を形成する単純インバータチェーン構造から構成されることを特徴とする。

【0013】また、前記内部クロック信号活性化制御手段は、電源電圧印加端と前記制御信号出力端との間に直列接続され、各々のゲート端に前記遅延手段を経て伝達

されたクロックバッファイネーブル制御信号と前記内部クロック信号とが印加される第1及び第2PMOSトランジスタと、前記制御信号出力端と接地端との間に接続され、前記遅延手段を経て伝達されたクロックバッファイネーブル制御信号がゲート端に印加されるNMOSトランジスタと、前記内部クロック信号と前記制御信号とを論理積する第1論理素子と、前記第1論理素子の出力信号を反転遅延させて伝達する遅延素子と、前記第1論理素子の出力信号及び前記遅延素子の出力信号を論理積する第2論理素子とを備えることを特徴とする。

【0014】

【発明の実施の形態】以下、本発明の最も好ましい実施の形態を添付した図面を参照し、本発明が属する技術分野で通常の知識を有するものが本発明の技術的思想を容易に実施できるように詳細に説明する。

【0015】図3は、本発明に係るセルフリフレッシュ制御装置を示すブロック図である。

【0016】図3に示すように、本発明に係るセルフリフレッシュ制御装置は、外部から入力されるクロックイネーブル信号 cke をバッファリングしてセルフリフレッシュ終了制御信号 $sref_exit$ を発生させるクロックイネーブルバッファ10と、クロックイネーブル信号バッファ10から伝達されたセルフリフレッシュ終了制御信号 $sref_exit$ の状態に応じてセルフリフレッシュ動作を行ってクロックバッファイネーブル制御信号 buf_en の活性化を制御するセルフリフレッシュロジック20と、クロックバッファイネーブル制御信号 bef_en を伝達して外部入力クロック信号 ext_c1k の電位を基準電位信号と比較して内部クロック信号 int_c1k を発生させるクロックバッファ30と、クロックバッファイネーブル制御信号 bef_en を伝達して所定時間 D_t の間遅延して伝達する遅延部50と、遅延部50を経て伝達されたクロックイネーブル制御信号 bef_en_D と内部クロック信号 int_c1k の制御下で発生した制御信号 $ctr1$ を内部クロック信号 int_c1k と論理的に組み合わせて内部クロック信号 int_c1k の活性化を制御する内部クロック信号活性化制御部60と、内部クロック信号活性化制御部60を経て活性化タイミングを調節して伝達された内部クロック信号 new_int_c1k により命令及びアドレスがバッファリングされた信号を外部入力クロック信号 ext_c1k に同期してラッチさせる命令及びアドレスラッチ40とかなる。

【0017】図4は、図3に示した遅延部50及び内部クロック信号活性化制御部60の一実施の形態を示す回路図である。

【0018】図4に示すように、遅延部50は、クロックバッファイネーブル制御信号 bef_en がクロックバッファ30から発生する内部クロック信号 int_c1k より遅れて活性化するために必要な最小遅延時間 D

tを形成する単純インバータチェーン構造から構成される。

【0019】一方、内部クロック信号活性化制御部60は、電源電圧印加端と制御信号c tr1出力端との間に直列接続され、各々のゲート端に遅延部50を経て伝達されたクロックバッファイネーブル制御信号buf_en_Dと内部クロック信号int_c1kが印加される第1及び第2PMOSトランジスタMP1、MP2と、制御信号c tr1出力端と接地端との間に接続され、遅延部50を経て伝達されたクロックバッファイネーブル制御信号buf_en_Dがゲート端に印加されるN MOSトランジスタMN1と、内部クロック信号int_c1kと制御信号c tr1とを論理積する第1論理素子（直列連結されたNAND1とIV1）と、第1論理素子の出力信号を反転遅延させて伝達する遅延素子1と、第1論理素子の出力信号及び遅延素子1の出力信号を論理積する第2論理素子（直列連結されたNAND2とIV2）とから構成される。

【0020】前記構成の遅延部50及び内部クロック信号活性化制御部60によって、クロックバッファ30から発生される内部クロック信号int_c1kがロジックハイに活性化されても遅延部50による遅延時間Dt以後になってからセルフリフレッシュモードの終了を知らせるクロックバッファイネーブル制御信号buf_en_Dをロジックローに転移させるため、セルフリフレッシュ終了時遅れて発生し、誤動作を引き起こす内部クロック信号int_c1kの活性化を防止することができる。

【0021】図5は、本発明に係るセルフリフレッシュ制御装置の動作タイミング図を示した図面である。

【0022】図5の(b)に示したように、クロックイネーブル信号ckeがロジックローに転移されると、セルフリフレッシュ終了制御信号s_ref_exitが非活性化され、(d)のように、セルフリフレッシュモードへの進入を表すクロックバッファイネーブル制御信号buf_enをロジックハイに転移させる。

【0023】これによって、(c)に示したように、内部クロック信号int_c1kが発生し、セルフリフレッシュ動作を行う。この場合、クロックバッファイネーブル制御信号buf_enが外部入力クロック信号exit_c1kに非同期して発生する関係により、セルフリフレッシュを終了した後、再びクロックバッファ30を活性化させる時、外部入力クロック信号exit_c1kがロジックハイとなる状況において内部クロック信号int_c1kが、(c)に示したように、遅れて発生する問題が発生する。

【0024】上述したように、遅れて発生して誤動作を引き起こす内部クロック信号int_c1kを相殺するために、遅延部50による所定の遅延時間Dt（遅れて発生される内部クロック信号の活性化を抑制するために

必要な最小時間に設定）にクロックバッファイネーブル制御信号buf_enを、(e)に示したように、遅延時間Dtの間遅延させて内部クロック信号活性化制御部60の制御信号により伝達する。

【0025】すると、内部クロック信号活性化制御部60は、内部クロックバッファ30から発生する内部クロック信号int_c1kがロジックハイに活性化された状態でもクロックバッファイネーブル制御信号buf_enが一定時間Dtの間遅延された後にロジックローに転移されるため、遅延時間Dtの前は制御信号c tr1がロジックローの状態を保持し、第1論理素子の出力信号をロジックハイに発生させる。

【0026】これによって、セルフリフレッシュの終了時内部クロック信号int_c1kがロジックハイに発生する状態であっても遅延部50による遅延時間以前には内部クロック信号活性化制御部60から内部クロック信号new_int_c1kが発生しないため、セルフリフレッシュ終了時遅れて発生する誤動作を引き起こす内部クロック信号の発生を抑制させる。

【0027】本発明の技術思想は、前記好ましい実施の形態によって具体的に記述したが、前記の実施の形態はその説明のためのものであって、それに限定されるものではない。また、本発明の技術分野の通常の専門家であれば、本発明の技術思想の範囲内で種々の実施の形態が可能である。

【0028】

【発明の効果】上述したように、本発明に係るセルフリフレッシュ制御装置は、セルフリフレッシュ動作の終了時内部クロック信号が遅れて発生する命令及びアドレスバッファ出力信号のセットアップ時間及びホールド時間の不一致現象を防止することができる。

【図面の簡単な説明】

【図1】従来のセルフリフレッシュ制御装置を示すブロック図である。

【図2】図1に示したセルフリフレッシュ制御装置の動作タイミング図である。

【図3】本発明に係るセルフリフレッシュ制御装置を示すブロック図である。

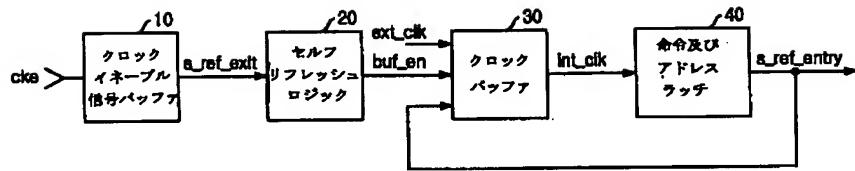
【図4】図3に示した遅延部及び内部クロック信号活性化制御手段を示す回路図である。

【図5】図3に示したセルフリフレッシュ制御装置の動作タイミング図である。

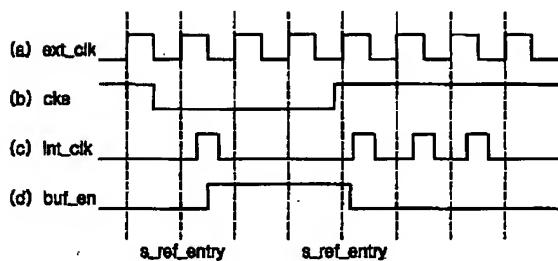
【符号の説明】

- 10 クロックイネーブル信号バッファ
- 20 セルフリフレッシュロジック
- 30 クロックバッファ
- 40 命令及びアドレスラッチ
- 50 遅延部
- 60 内部クロック信号活性化制御部

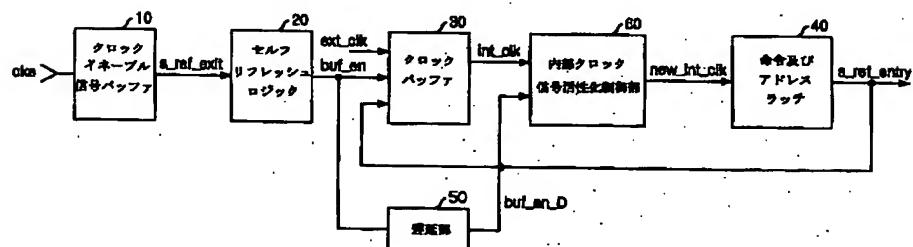
【図1】



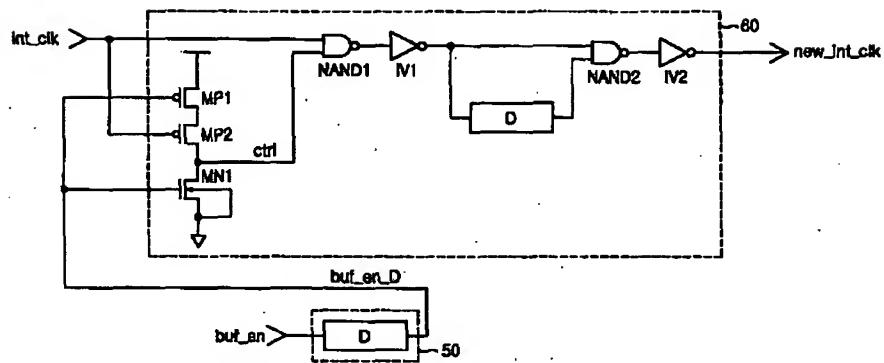
【図2】



【図3】



【図4】



【図5】

